



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑩ DE 38 09 223 C 2

⑤1 Int. Cl.<sup>5</sup>:  
**G 11 B 20/10**  
G 11 B 20/12  
G 11 B 7/013

②1 Aktenzeichen: P 38 09 223.9-53  
②2 Anmeldetag: 18. 3. 88  
④3 Offenlegungstag: 6. 10. 88  
④6 Veröffentlichungstag  
der Patenterteilung: 27. 2. 92

DE 38 09 223 C 2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③0 Unionspriorität: ③2 ③3 ③1  
18.03.87 JP P 62-61023

⑦3 Patentinhaber:  
Hitachi, Ltd., Tokio/Tokyo, JP

⑦4 Vertreter:  
Bardehle, H., Dipl.-Ing.; Dost, W., Dipl.-Chem.  
Dr.rer.nat.; Altenburg, U., Dipl.-Phys.; Hoffmann, W.,  
Dipl.-Phys.; Wallinger, M., Dipl.-Ing. Dr.-Ing.,  
Pat.-Anwälte; Pagenberg, J., Dr.jur.; Frohwitter, B.,  
Dipl.-Ing., Rechtsanwälte; Geißler, B.,  
Dipl.-Phys.Dr.jur., Pat.- u. Rechtsanw.; Kroher, J.,  
Dr.; Kowal-Wolk, T., Dr.jur., Rechtsanwälte, 8000  
München

⑦2 Erfinder:  
Tsuyoshi, Toshiaki, Hachioji, JP; Ohtake, Masatoshi,  
Ome, JP; Takasugi, Wasao, Higashiyamoto, JP;  
Yonezawa, Seiji, Hachioji, JP; Takeuchi, Takashi;  
Saitoh, Tadashi, Fujisawa, JP

⑤6 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:  
CH 6 27 578  
IBM TDB, Vol. 27, Nr. 3, August 1984, S. 1463,1464;

⑤4 Verfahren und Vorrichtung zum Wiedergeben eines Informationssignals von einem Aufzeichnungsmedium

DE 38 09 223 C 2

Die Erfindung betrifft ein Wiedergabeverfahren gemäß dem Oberbegriff des Patentanspruchs 1, sowie eine Vorrichtung zum Ausführen dieses Verfahrens.

Zuerst wird eine herkömmliche Wiedergabevorrichtung für ein Archivierungssystem mit optischer Platte (CD) anhand der Fig. 1 und 2A-2B erläutert. In Fig. 1 hat eine optische Platte 1 des Systems ihre Spuren jeweils in Aufzeichnungssegmente 4 einer Zahl von 1000 bis 2000 eingeteilt, und jedes Aufzeichnungssegment 4 ist in ein Servogebiet (erste Region) 2 und ein Datengebiet (zweite Region) 3, wie in Fig. 2A gezeigt wird, unterteilt. Dementsprechend hat die optische Platte auf ihrer Informationsaufzeichnungsoberfläche eine abwechselnde Anordnung von Servogebieten und Datengebieten auf jeder kreisförmigen Spur. In diesem System wird das Nachfühungssignal aus einem Paar von versetzten bzw. gewobbelten Pits 5 hergestellt, die auf beiden Seiten des Spurzentrums 7 innerhalb des Servogebiets 2 gebildet sind, und ein Taktsignal mit einem Taktpit 6 erzeugt, das am Spurzentrum 7 innerhalb des Servogebiets 2 ausgebildet ist. Diese versetzten Pits 5 und das Taktpit 6 werden vorformatiert in dem Servogebiet, und sie liefern ein intermittierendes Servosignal und Taktsignal zum Einsatz beim Schreiben oder Lesen von Daten in dem Datengebiet 3. Wegen der vollständig voneinander getrennten Anordnung der Datengebiete und Servogebiete zeichnet sich das Setzen durch ein störungsfreies und stabiles Verhalten aus. Das System wird in der japanischen Zeitschrift "Nikkei Electronics", No. 410, S. 165-170, veröffentlicht am 15. Dezember 1986, beschrieben.

Die in dem System angewendete Taktschaltung wird in den Fig. 2 und 3 erläutert. Fig. 3 zeigt die Taktschaltung in einem Blockdiagramm und Fig. 2 zeigt die Signale in einem Zeitdiagramm. In Betrieb, wenn der Fleck eines Lichtstrahles dem Spurzentrum 7 nachfolgt, erzeugt ein optischer Sensor (nicht gezeigt) ein Signal S 1 (Fig. 2B) in Form eines Wechsels in der reflektierten Lichtintensität.

Das Signal S 1 durchquert einen Spitzendetektor 10, der dann ein Signal S 2 (Fig. 2C) erzeugt, das die Spitzenposition von S 1, d. h. die Pitposition, anzeigt. Der Spitzendetektor 10 ist z. B. mit einer Differentialschaltung realisiert.

Ein Taktpitdetektor 11 wird eingesetzt, um aus dem Signal S 1 ein aus dem Taktpit 6 abgeleitetes Signal S 3 (Fig. 2D) zu detektieren, und eine PLL (Phase-Locked-Loop)-Schaltung 12 wird eingesetzt, um ein Taktsignal S 4 mit einer  $N_1$ -fachen Frequenz und in Synchronismus mit S 3 zu erzeugen. Die PLL-Schaltung 12 hat grundlegend die gleiche Anordnung wie ein gewöhnlicher Frequenzsynthesizer, der einen Phasenkomparator (Phasendetektor) 13, einen Tiefpaßfilter 14, einen VCO (spannungsgesteuerten Oszillator) 15 und einen  $1/N_1$  ( $N_1$  ist eine natürliche Zahl) - Frequenzteiler 16 aufweist. Der PLL 12 erzeugt das Taktsignal S 4 mit einer  $N_1$ -fachen Frequenz von der des Impulssignals S 3 und die S 4-Impulse unterteilen ein Aufzeichnungssegment 4 in gleiche  $N_1$  Zeitschlitze, auch wenn eine Exzentrizität der Platte oder ein Wechsel der Rotationsgeschwindigkeit vorkommt.

Aus dem Patent CH-PS 6 27 578 ist ein Verfahren zum Synchronisieren eines Taktsignals auf wiedergegebene Informationssignale von einem Auszeichnungsträger bekannt, wobei das Taktsignal von vorformatierten Taktpulsen abgeleitet wird. Bei diesem Verfahren

wird beim Lesevorgang nach den Vorlaufsignalen und vor den auszulesenden Daten ein Taktgenerator für einen Augenblick stillgesetzt, um die somit verzögerten zweiten Taktsignale mit den auszulesenden Daten zu synchronisieren bzw. in der Phase anzugleichen. Das zweite Taktsignal wird dennoch durch das Aussetzen des Taktgenerators verzögert und dann anschließend durch Rückkopplung mit den wiedergegebenen Daten synchronisiert, so daß vorformatierte Signale in Synchronismus mit dem ersten Taktsignal und Datensignale in Synchronismus mit dem zweiten Taktsignal wiedergegeben werden.

Die Druckschrift IBM TDB, vol. 27, Nr. 3, August 1984, Seite 1463, 1464 betrifft eine PLL-Schaltung mit einer Verzögerungsleitung mit N Verzögerungselementen, die N verschiedene Phasenwerte eines Signals erzeugen, das durch den Oszillator generiert wird, wobei ein Phasenwert durch Vergleich mit einem Referenztaktsignal selektiert wird. Es handelt sich um eine PLL-Schaltung mit hoher Präzision, da die Phase des Ausgangssignals mit kleineren Schritten variiert als bei einer üblichen PLL-Schaltung.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren bzw. eine Vorrichtung der eingangs genannten Art anzugeben, durch das bzw. die bei der Wiedergabe von vor- und nachaufgezeichneten Signalen eine sichere Synchronisation des Taktsignals mit den Datensignalen gewährleistet ist.

Die Aufgabe wird durch die im kennzeichnenden Teil des PA's 1 bzw. 5 genannten Merkmale gelöst.

Das Verfahren gemäß der vorliegenden Erfindung hebt den Phasenunterschied zwischen den nachaufgezeichneten Datenbits und den vorformatierten Pits auf, indem das von der vorformatierte Pits abgelieferte Taktsignal verzögert wird beim Auslesen der auf den zweiten Regionen aufgezeichneten Datenbits, wobei die Zuverlässigkeit des Datenbitsauslesen erhöht wird. Die Datenbits werden genau entsprechend dem Taktsignal ausgelesen, sogar bei Anwesenheit von mangelnder Übereinstimmung zwischen der Position der nachaufgezeichneten Datenbits und dem Taktsignal verursacht durch die elektrische Verzögerung in der Schaltung, dem Aufzeichnungsmaterial oder der Aufzeichnungsbedingung.

Vorteilhaft werden Phasenkorrekturpits (Sync-Pits) am Kopf einer Datenpitfolge beim Datenaufnahmevergang aufgezeichnet und die aufgezeichneten Datenpits werden mit Einsatz eines Auslesetaktsignals ausgelesen, das gegenüber dem vorformatierten Pittaktsignal um so einen Wert verzögert wird, daß der Phasenunterschied, der zwischen dem wiedergegebenen Phasenkorrekturpitsignal und dem vorformatierten Pittaktsignal festgestellt worden ist, minimal ist. Im Fall, daß das Auslesedatenpitsignal für den Phasenvergleich mit dem vorformatierten Pittaktsignal verwendet wird, ist es notwendig, daß die Taktkomponente im ganzen oder in einem Teil der wiedergegebenen Wellenform des Datenpitsignals beinhaltet ist.

Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der vorliegenden Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit der Zeichnung. Darin zeigen:

Fig. 1 ein Diagramm mit der bekannten Segmentanordnung auf der optischen Platte;

Fig. 2A bis 2E sind Zeitdiagramme zum Erklären des Taktsystems;

Fig. 3 ein Blockdiagramm der Taktschaltung;

Fig. 4A bis 4D Diagramme, die zum Erklären von

Problemen des Taktsystems verwendet werden;

Fig. 5 ein Blockdiagramm, das zum Erklären des Konzepts der Erfindung dient;

Fig. 6 ein Blockdiagramm der Einrichtung zum Ausführen des Aufzeichnungs-Wiedergabeverfahrens;

Fig. 7 ein Blockdiagramm, das zum Erklären des die vorliegende Erfindung verkörpernden Datentaktgenerators dient;

Fig. 8A bis 8C Diagramme, die zum Erklären der Einrichtung und des Betriebs als ein Beispiel des Phasenkomparators dienen;

Fig. 9 und 10 ein Signalformdiagramm und Blockdiagramm, das eine abgeänderte Ausführungsform, abgeleitet von Fig. 7 und arbeitend in einem unterschiedlichen Modulationsmodus, zeigt;

Fig. 11 ein Blockdiagramm, das eine andere Ausführungsform des Datentaktgenerators zeigt;

Fig. 12 ein Blockdiagramm, das zum Erklären einer anderen Ausführungsform des Datentaktgenerators dient;

Fig. 13 ein Diagramm, das zum Erklären einer Spur mit Phasenkorrekturpits dient, die auf das Aufzeichnungsmedium aufgezeichnet worden sind;

Fig. 14 ein Blockdiagramm, das zum Erklären einer weiteren Ausführungsform des Datentaktgenerators dient;

Fig. 15 ein detailliertes Blockdiagramm verbunden mit Fig. 14;

Fig. 16 ein Zeitdiagramm verbunden mit Fig. 15;

Fig. 17 ein detaillierteres Blockdiagramm abgeleitet von Fig. 15;

Fig. 18 ein Zeitdiagramm, das zum Erklären der Schaltungseinrichtung von Fig. 17 dient; und

Fig. 19 ein Diagramm, das ein Spurformat des Aufzeichnungsmediums mit der Bereitstellung von mehrfachen Phasenkorrekturpits zeigt.

Bevor auf die Erklärung der Ausführungsformen dieser Erfindung eingegangen wird, werden Probleme des Taktsystems, die die vorliegende Erfindung lösen soll, beschrieben. Das Taktsystem ist ausgelegt, um Datenpits in den zweiten Regionen aufzuzeichnen und auszu-  
lesen, indem ein Taktsignal verwendet wird, das aus vorformatierten Pits in den ersten Regionen erzeugt wird. Probleme, die bei diesem Betrieb auftreten, werden in Bezug auf die Fig. 4A bis 4D erklärt.

Die Fig. 4B und 4C zeigen die Auslesesignalverläufe, die erzeugt werden, wenn der Lichtfleck 41 eine Spur von Pitsmustern, wie in Fig. 4A gezeigt wird, abgetastet hat. Fig. 4B ist der Signalverlauf des Signals S 1, bevor nachaufgezeichnete Datenpits 9 aufgezeichnet worden sind, und Fig. 4C ist der Signalverlauf des Signals S 1, nachdem die nachaufgezeichneten Datenpits 9 aufgezeichnet worden sind. Eine Pitfolge bezeichnet mit 8 zeigt vorformatierte Datenpits, die zusammen mit den Pits 5 und 6, welche Adresseninformation enthalten, auf dem Servogebiet (erste Region) 2 ausgebildet worden sind, als die Platte hergestellt worden ist. Beim Taktverfahren arbeitet das PLL-System so, daß das generierte Taktsignal S 4 einen Übergang (ansteigende Flanke in dieser Ausführungsform) hat, der mit der Spitze des Taktpits 6 zusammentrifft. Da die Flanke des Taktsignals S 4 mit dem Zentrum der vorformatierten Pits (5, 6, 8) zusammenfällt, entstehen keine Probleme, wenn die vorformatierte Datenpitfolge 8 ausgelesen wird. Die Datenpits 9 werden mit Einsatz des Taktsignals S 4 aufgezeichnet. Wenn es beabsichtigt wird, die nachaufgezeichneten Pits 9 bei der ansteigenden Flanke des Taktsignals S 4 zu schreiben, kann das Zentrum der tatsäch-

lich aufgezeichneten Pits 9 möglicherweise um  $\Delta t$  gegenüber der ansteigenden Flanke des Taktsignals S 4 verzögert sein. Der Wert von  $\Delta t$  ist abhängig von der elektrischen Verzögerung in der Schaltung, dem Aufzeichnungsmaterial und der Aufzeichnungsbedingung. Dementsprechend resultiert der direkte Einsatz des Taktsignals S 4 zum Auslesen der nachaufgezeichneten Datenpitfolge 9 in einer unkorrekten Datenwiedergabe.

Fig. 5 zeigt in einem Blockdiagramm das Konzept der vorliegenden Erfindung und es enthält den Zusatz eines Taktgenerators 200 zur Bearbeitung nachaufgezeichneter Datenpits. Das Taktsignal S 4, das aus vorformatierten Pits, z. B. Taktpits ausgebildet in den ersten Regionen bei der Herstellung, erzeugt wird, wird mit einer Verzögerungsschaltung 19 um  $\Delta t$  verzögert, um ein Datenpittaktsignal (zweites Taktsignal) S 5 so zu erzeugen, daß der Zeitunterschied zwischen den nachaufgezeichneten Datenpits und den vorformatierten Pits aufgehoben wird. Das die nachaufgezeichneten Datenpits 9 darstellende Signal wird aus dem Auslesesignal S 1 mit Hilfe eines Datengebietsdetektors 17 detektiert und die Pits werden von einem Datendemodulator 18 mit Einsatz des Taktsignals S 5 demoduliert. Das System liefert nicht lediglich eine feste Verzögerung für das Taktsignal, sondern es implementiert die Rückkoppelungskontrolle für das Ausmaß der Verzögerung derart, daß der Phasenunterschied zwischen den nachaufgezeichneten Pits und dem verzögerten Takt S 5, wie von einem Phasenkomparator 36 festgestellt, minimal ist.

Fig. 6 zeigt die Anordnung der Vorrichtung, die das Wiedergabeverfahren gemäß der Erfindung ausführt.

Das Ausgangssignal des optischen Kopfes 103 wird von einem Verstärker 19 verstärkt und das Auslesesignal S 1 wird erhalten. Das Signal S 1 wird einem Fokus/Spur-Signaldetektor 131 so zugeführt, daß das Signal intermittierend darauf überprüft wird, ob es außerhalb des Fokus und außerhalb der Spur liegt, auf Basis des Zeitpunkts, wenn der Lichtfleck die Fokus- und Spur-Feststellungsabschnitte innerhalb des Servogebiets 2 passiert.

Das Auslesesignal S 1 wird von einem Spitzendetektor 10 in ein Signal S 2 umgewandelt, das die Signalspitzenposition anzeigt. Das Signal S 2 wird einem Taktpitdetektor 11 zugeführt, der das Impulssignal S 3, das das Taktvertiefung 6 darstellt, detektiert, und es wird einer PLL-Schaltung 12 zugeführt. Die PLL-Schaltung erzeugt ein Taktsignal S 4, das eine  $N_1$ -fache Frequenz von S 3 hat und in Synchronismus mit S 3 ist. Das Taktsignal S 4 wird einer Modulationsschaltung 121 zugeführt und wird als Taktsignal zur Aufzeichnung von nachaufgezeichneten Datenpits verwendet. Die Modulationsschaltung 121 steuert einen Lasertreiber 123 mit einem Impulssignal an, das den Aufzeichnungsdaten, getaktet mit dem Taktsignal S 4 entspricht. Der Lasertreiber 123 versorgt den optischen Kopf 103 mit einem Aufzeichnungsimpulsstrom entsprechend den Daten und Datenpits werden in dem Datengebiet 3 gebildet. Das Taktsignal S 4 wird auch einer Vorformatierungsmodulationsschaltung 113 zugeführt und als Taktsignal zum Auslesen der vorformatierten Pits verwendet. Eine Vorformatierungs-Detektionsschaltung 111 wird eingesetzt zum Detektieren nur des Signals des vorformatierten Abschnitts des Auslesesignals S 1. Die Detektionsschaltung 111 erzeugt auch ein Torsignal, das den vorformatierten Abschnitt anzeigt, und es wird der Modulationsschaltung 121 zugeführt, um die Entgegennahme der Aufzeichnungsimpulse von dem Lasertreiber zu verhindern, daß nachaufgezeichnete Datenpits im vorformatierten

Abschnitt aufgezeichnet werden. Obwohl in dieser Ausführungsform das Auslesesignal S 1 der Vorformatierungs-Detektions-Schaltung 111 zugeführt wird, kann das Ausgangssignal S 2 des Spitzendetektors 10 verwendet werden, wenn der Pitpositionsaufzeichnungsmodus angewendet wird.

Mit 200 wird ein Taktgenerator für nachaufgezeichnete Daten bezeichnet, der die Phasenlücke zwischen nachaufgezeichneten Datenpits in dem Datengebiet 3 und dem Taktsignal S 4 durch ein Verzögern des Taktsignals S 4 um  $\Delta t$  aufhebt und ein Taktsignal S 5 zum Auslesen der nachaufgezeichneten Datenpits erzeugt, wie später genauer erklärt werden wird. Die Datengebiet-Detektions-Schaltung 117 detektiert das die nachaufgezeichneten Datenpits 9 angegebene Auslesesignal aus dem Auslesesignal S 1. Das Signal S 2 kann eingesetzt werden, wenn Datenpits im Pitpositionsmodus aufgezeichnet werden.

Als nächstes wird eine Ausführungsform des Taktgenerators 200 für nachaufgezeichnete Datenpits mit Bezug auf Fig. 7 beschrieben. Der Datentaktgenerator 200 dieser Ausführungsform enthält ein Verzögerungselement 20 mit Abzweigungen, einen Auswähler 27, einen Phasenkomparator (22), 1/n-Frequenzteiler 23 und 24 und einen reversiblen Zähler 25. Das Verzögerungselement 20 hat mehrere Ausgangszweige, z. B. 7 Zweige in Fig. 7, um Ausgangssignale mit einem Verzögerungsunterschied von  $\Delta \tau$  voneinander zu liefern. Das Verzögerungselement 20 empfängt das von der PLL-Schaltung 12 gelieferte Taktsignal und erzeugt acht Taktfolgen, die jeweils untereinander um  $\Delta \tau$  außer Phase sind, von denen ein Takt mit der am besten mit dem Auslesesignal der nachaufgezeichneten Datenpits 9 angepaßten Phase als ein Ausgangstaktsignal S 5 von einem Datenauswähler 21 ausgewählt wird. Bei dieser Ausführungsform wird angenommen, daß die Datenpits 9 im Pitpositionsmodus, wie in Fig. 4A und Fig. 4C gezeigt, aufgezeichnet werden. Der Phasenkomparator 22 wird mit einem Impulssignal S 6 versorgt, das die Spitze der Datenpits 9 angibt, und mit den vom Auswähler 21 ausgewählten Taktsignal S 5 versorgt, und er vergleicht die Phasen von beiden Eingängen als Antwort auf S 6. Der Phasenkomparator 22 hat zwei Ausgangsanschlüsse, einen der einen Ausgangsimpuls liefert, wenn S 6 voreilt, und einen anderen, der einen Ausgangsimpuls liefert, wenn S 6 nacheilt. Der Ausgang des Phasenkomparators 22 ist mit dem reversiblen Zähler 25 verbunden, der das Zählerausgangssignal an den Auswahleingang des Datenauswählers 21 weitergibt. Dementsprechend variiert der Zählstand des reversiblen Zählers 25 in Abhängigkeit vom Ausgangssignal des Phasenkomparators 22, d. h. vorseilen oder nacheilen, und folglich variiert die Phase des Taktsignals S 5, das von dem Datenauswähler 21 ausgewählt wird. Die Frequenzteiler 23 und 24, die zwischen dem Phasenkomparator 22 und dem reversiblen Zähler 25 angesiedelt sind, dienen als Tiefpaßfilter, indem sie einen einzelnen Ausgangsimpuls beim Empfangen von hintereinanderfolgenden vorseilenden oder nacheilenden Impulsen der Zahl N erzeugen. Diese Schaltungsanordnung verhindert, daß das Taktsignal S 5 zu empfindlich als Antwort auf Rauschen variiert. Die funktionalen Blöcke 23 und 24 sind nicht auf Frequenzteiler beschränkt, sondern sie können jeweils Schaltungen sein, die ein Ausgangssignal abgeben beim Empfangen einer bestimmten Anzahl von hintereinanderfolgenden Impulsen mit der gleichen Polarität (vorseilend oder nacheilend).

Fig. 8A zeigt ein Beispiel des Phasenkomparators 22,

der D-Flip-Flops 27 und 28, einen monostabilen Multivibrator 29 und AND-Gatter enthält. Die Fig. 8B und 8C erklären den Betrieb dieser Schaltung anhand der Zeitdiagramme für den Fall eines vorseilenden Takts S 5 gegenüber Datenpitimpulsen S 6 und dem Fall eines nacheilenden Takts S 5, wobei Ausgangsimpulse S 11 bzw. S 10 erzeugt werden. Der monostabile Multivibrator 29 ist so eingestellt, daß er eine Ausgangsimpulslänge hat, die länger ist als eine halbe Periode und kürzer als eine Periode.

Die vorhergehende erste Ausführungsform der Erfindung bewerkstelligt eine genaue Phasen Anpassung durch den Einsatz des Verzögerungselements 20 mit einem schmalen Phasenschritt  $\Delta \tau$ . Es ist auch möglich, den reversiblen Zähler 25 voreinzustellen, um eine Standardverzögerung auszuwählen, so daß die Phasenkontrolle in einer kürzeren Zeit ausgeführt wird. Ein häufiges Voreinstellen ist nicht notwendig, aber es findet statt, wenn die Platte herausgenommen wird oder unmittelbar nachdem auf die Platte zugegriffen wird.

Die Ausführungsform von Fig. 7 gilt für den Fall des Modulationsmodus, bei dem das Aufzeichnungspit-Intervall auf der optischen Platte größer ist als der Strahlenfleckdurchmesser. Im Gegensatz dazu zeigt Fig. 9 eine Ausführungsform für den Fall des Aufzeichnungsmodus, bei dem das Datenpitintervall kleiner ist als der Durchmesser des Strahlenflecks 41, d. h. ein Modulationsmodus, bei dem einzelne Pits nicht aufgelöst in dem Auslesesignal S 1 (S 14) auftreten. Die 4-15 Modulation ist ein Beispiel dieses Modulationssystems. Fig. 9 zeigt oben die Aufzeichnung von nachaufgezeichneten Datenpits 91 bis 93 auf der Spurzentrumslinie 7, wobei 91 ein einzelnes Pit bezeichnet, 92 zweifache Pits bezeichnet und 93 dreifache Pits bezeichnet. Diese Ausführung ist für den Fall beabsichtigt, bei dem aneinandergrenzende Pits wie 92 und 93 in dem reproduzierten Signal nicht aufgelöst, wie bei S 12 (durchgehende Linie) gezeigt wird, auftreten. Um diese Datenpitfolge zu lesen, muß das lesende Taktsignal S 5 die Übergangsflecke im Zentrum von jedem Pit haben.

Fig. 10 zeigt im Blockdiagramm die Schaltungsanordnung zur Erzeugung eines korrekten Datentaktsignals S 5 aus der oben stehenden Pitfolge. Diese Ausführungsform ist im wesentlichen die gleiche wie die von Fig. 7 und unterscheidet sich im Zusatz einer Funktion zur alleinigen Auswahl von dem einzelnen Pit 91, das eine Takt detektion leicht macht aus der Auslesesignalform S 12. Im folgenden wird der Betrieb dieser Ausführungsform anhand der Zeitdiagramme von Fig. 9 beschrieben.

Das analoge Auslesesignal S 12, das das Ergebnis des Detektierens des Datengebiets durch den Datengebietdetektor 17 ist, wird um T mit einem Verzögerungselement 37 verzögert. Die Länge der Zeit T ist lange genug gewählt, um ein Pit als einzelnes Pit zu identifizieren, und beträgt im allgemeinen etwa 1 bis 2 Taktperioden. Das verzögerte Signal S 13 wird durch einen Spitzendetektor 10' einer Spitzendetektion unterzogen, wobei ein digitales Signal S 14 herauskommt. Obwohl das Signal S 14 die Spitze ③ von zweifachen Pits neben der Spitze ④ von einzelnen Pits enthält, ist die Spitze ③ in der Mitte zwischen aneinandergrenzenden Pits angesiedelt und hat eine von der Spitze ④ unterschiedliche Phase. Deshalb sind aneinandergrenzende Pits nicht zur Taktgenerierung geeignet und nur die Spitze von einem einzelnen Pit 91 wird von einem Einzelpitfenstergenerator 38 ausgewählt. Ein Verfahren zur Selektion besteht darin, daß das Signal S 12 an einem bestimmten Schwell-

wert binär gemacht wird und die Signalform als einzelnes Pit bestimmt wird, wenn die resultierende Impulsbreite schmäler als eine bestimmte Breite ist. In der Einzelpiterkennung ist die Generierung eines Fensterimpulses S 15 nachgeschaltet. Die Signale S 14 und S 15 werden mit einem AND-Gatter 39 durchgeschaltet, wobei ein Signal S 16 entsteht, das alleine die Spitze von einem einzelnen Pit anzeigt. Das Signal S 16 wird dem Phasenkomparator 22 in dem Fall von Fig. 7 zugeführt und ein Taktsignal S 5 in Phase mit nachaufgezeichneten Pits wird erzeugt. Der Demodulator 18 wird an seinem Dateneingang von dem Ausgangssignal des Verzögerungselementes 37 versorgt.

Als nächstes wird eine andere Ausführungsform des Datentaktgenerators mit Bezug auf Fig. 11 beschrieben. Mit 300 in Fig. 11 ist ein Datentaktgenerator bezeichnet, der aus einem Phasenkomparator 22, einem Frequenzteiler 23 und 24 und einem reversiblen Zähler 25 wie in den Ausführungsformen nach Fig. 7 und Fig. 10 besteht, und der weiterhin einen digitalen Komparator 32 und die Zähler 33 und 31 enthält. Der VCO 15 generiert einen Takt, der achtmal der beabsichtigten Frequenz entspricht, und führt ihn dem 3-Bit-Zähler 31 zu. Das entstehende, abgeleitete Signal S 4 mit 1/8 der Frequenz wird zurückgeführt zu dem 1/N<sub>1</sub>-Frequenzteiler 16 in der PLL-Schaltung 12 und wird verwendet zum Lesen der vorformatierten Pits. Die 3-Bit-Ausgänge oder 1/2, 1/4 und 1/8 Frequenzableitungen des Zählers 31 werden dem digitalen Komparator 32 zugeführt, der sie mit den 3-Bit-Ausgangssignalen des reversiblen Zählers 25 vergleicht und einen Ausgangsimpuls erzeugt, wenn jedes Paar der Eingangssignale gleich ist. Das Taktsignal, das von dem VCO 15 generiert wird, wird auch dem Zähler 33 zugeführt, der seine Frequenz durch 8 teilt, um das beabsichtigte Taktsignal S 5 zu erzeugen. Der 3-Bit-Zähler 33 wird auf "000" gesetzt beim Empfangen eines Impulses am Ladeanschluß des Komparators 32 und er fängt zum Zählen an. Die Anordnung nach Fig. 11 ist nämlich ausgelegt, um eine Phase durch das Einstellen der Abwärtszählzeit des 8-fachen Takts auf das Ausgangssignale des Komparators 32 auszuwählen. Der Betrieb des Phasenkomparators ist der gleiche wie in den vorhergehenden Ausführungsformen. Der reversible Zähler 25 kann eingestellt werden, um eine Standardphasendifferenz zwischen S 4 und S 5 so einzuhalten, daß der Zeitverzug minimiert wird. Diese Schaltungsanordnung enthält kein Verzögerungselement und bietet geringere Herstellungskosten. Eine erhöhte Nummer von Phasen zur Auswahl, wie z. B. 16 oder 32, ist natürlich möglich.

Fig. 12 zeigt in einem Blockdiagramm noch eine andere Schaltungsanordnung des Datentaktgenerators. Die Anordnung verwendet ein spannungsgesteuertes Verzögerungselement 34, das eine kontinuierlich veränderbare Verzögerung erzeugt. Der Taktgenerator 400 arbeitet mit einem Phasenkomparator 22, um die Phasen des Ausgangssignals S 5 von dem spannungsgesteuerten Verzögerungselement 34 mit dem Ausgangssignal der nachaufgezeichneten Datenpits zu vergleichen, und führt das Vergleichsausgangssignal einem Ladungsspeicher 35 zu, so daß sie ein Analogsignal mit einer positiven oder negativen Polarität für eine vorauseilende oder nachteilende Phase erzeugt. Das analoge Ausgangssignal von 35 wird mit Hilfe eines Tiefpaßfilters 36 von harmonischen Komponenten befreit und als Steuerungsspannung für das variable Verzögerungselement 34 eingesetzt.

Vorzugsweise hat das spannungsgesteuerte Verzöge-

rungelement seinen Arbeitspunkt (Zentralwert), der so eingesetzt ist, daß eine Standardverzögerung eingehalten wird. Die Fähigkeit einer kontinuierlichen Variation der Verzögerung basierend auf dieser Schaltungsanordnung ermöglicht eine sehr genaue Phasen Anpassung. Es ist möglich, daß die Taktgeneratoren 300 und 400, wie in den Fig. 11 und 12 gezeigt wird, so modifiziert werden, daß sie in dem Modulationsmodus nach Fig. 9 arbeiten.

In den vorhergehenden Ausführungsformen wird die Phasennacheilung des Auslesesignals für die nachaufgezeichneten Datenpits festgestellt, um die Phase des Datentakts S 5 mit einer voreingestellten Standardverzögerung so zu modifizieren, daß die anfängliche Phaseneinstellung für S 5 in kurzer Zeit ausgeführt wird. Indem ein kurzes Trainingsgebiet für ein Sync-Muster (eine Vertiefung oder mehrere Vertiefungen) für die anfängliche Verzögerungseinstellung am Beginn jedes Daten-sektors zum Aufzeichnen von Datenpits aufgezeichnet wird, wird der Phasenunterschied zwischen den Signalen festgestellt und die Zeit für die Einstellung minimiert, wobei die Zuverlässigkeit des Auslesens von nachaufgezeichneten Datenpits erhöht werden kann.

Fig. 13 zeigt als ein Beispiel die Anordnung der Aufzeichnungsspur. In dem Servosystem werden Aufzeichnungsssegmente 4 von der Anzahl 10 bis 100 gruppiert, um eine Datenleseschreibeinheit zu bilden, d. h. ein Datensektor 57, und das Datengebiet 3 in dem führenden Aufzeichnungsssegment 55 ist als ein Kopfblock (header block) vorgesehen, in dem Kopfinformation 8, wie z. B. die Sektoradresse, vorformatiert wird. Datengebiete 3 in der verbleibenden Region 56 in den zweiten (oder dritten) und folgenden Aufzeichnungsssegmenten werden dem Benutzer als Datenaufzeichnungsgebiete zugewiesen. In dieser Spuranordnung, wenn Datenpits 9 in jedem Datengebiet 3 in der Region 56 aufgezeichnet werden, wird ein nachaufgezeichnetes synchronisierendes (Sync) Pit 54, z. B. wie schraffiert gezeigt in dem Datengebiet 3 des führenden Servosegments 55 in dem Datensektor 57, vor der Aufzeichnung von nachaufgezeichneten Datenpits 9 geschrieben. Bei der Datenwiedergewinnung wird das Auslesesignal von dem nachaufgezeichneten Sync-Pit 54 eingesetzt, um den Phasenunterschied von dem Taktsignal S 4 festzustellen und ein Taktsignal S 5 so zu erzeugen, daß der Phasenunterschied aufgehoben ist, und nachaufgezeichnete Datenpits 9 werden auf Basis des Taktsignals S 5 demoduliert.

Fig. 14 ist ein Blockdiagramm der Schaltungsanordnung zur Ausführung der obenstehenden Signalzeitkontrolle. Das nachaufgezeichnete Sync-Pit 54 ist vorgesehen, um am Ende des Kopfes (header) aufgezeichnet zu werden und es kann aus dem Signal S 2, das der Spitzendetektion folgt, durch einen Sync-Pits-Detektor 58 detektiert werden. Ein Phasenunterschiedsdetektor 59 stellt den Phasenunterschied  $\Delta t$  des abgetasteten Taktsignals S 4 von dem Zeitpunkt an fest, wenn das nachaufgezeichnete Sync-Pit 54 auftritt, und arbeitet mit einem variablen Verzögerungselement 19, um die Phase des Taktsignals S 4 so einzustellen, daß der Phasenunterschied minimal wird, und konsequenterweise wird ein Taktsignal S 5 erzeugt, das in Phase mit den nachfolgenden nachaufgezeichneten Datenpits 9 ist. Die Verwendung dieses Taktsignals S 5 zur Demodulation von nachaufgezeichneten Datenpits erreicht eine zuverlässige Datenwiedergabe.

Der Betrieb der Schaltungsanordnung nach Fig. 14 wird genauer mit Bezug auf das Blockdiagramm von Fig. 15 und das Zeitdiagramm von Fig. 16 beschrieben. Das abgetastete Taktsignal S 4 wird aus dem Auslesesi-

Signal S 1 in gleicher Art und Weise wie in dem vorhergehenden Fall nach Fig. 7 erzeugt. Das Taktsignal S 4 wird dem Verzögerungselement 20 zugeführt, das dann mehrfache Takte S 21 mit einem Phasenunterschiedsschritt  $\Delta t$  erzeugt, und eines von den S 21, das am besten in Phase mit den nachaufgezeichneten Datenpits ist, wird von einem Selektor 21 ausgewählt, um das Datenpit S 5 zu erzeugen. Ein Sync-Fenstergenerator 50 und ein zugeordnetes AND-Gatter 51 werden zur Detektion der Auslesezeit für das nachaufgezeichnete Sync-Pit eingesetzt. Die gezeigte Anordnung kann eine Phase aus 8 unterschiedlichen Phasen auswählen. Das Signal S 23, das zeitlich auf das nachaufgezeichnete Sync-Pit abgestimmt ist, lädt ein Zwischenregister 52 bzw. einen Zwischenspeicher 52 (latch register) mit 8 Takten von unterschiedlicher Phase. Ein Dekodierer 53 empfängt die Ausgangssignale S 22 des Zwischenspeichers 52, um zu bestimmen, welcher von den Takten die am nächsten zur Phase von dem nachaufgezeichneten Sync-Pit liegende Phase hat. Der relevante Takt wird von einem Auswähler 21 ausgewählt und als Datenpit S 5 zur Demodulation des Datensignals verwendet.

Auf dem Zeitdiagramm von Fig. 16 entsprechen die Signalverläufe #0 bis #7 den Ausgangssignalen S 21 des Verzögerungselements 20 und in diesem Fall sind sie untereinander um  $\Delta t$  außer Phase, was gleich  $1/8$  der Periode T ist. Es wird angenommen, daß das nachaufgezeichnete Sync-Pit 54 zu einem Zeitpunkt aufgetreten ist, der oben in Fig. 16 gezeigt wird. Obwohl das Sync-Pit 54 schmaler dargestellt ist, hat es tatsächlich eine Größe, die mit der Periode T vergleichbar ist.

Das Zentrum von dem Pit 54 wird von einem Spitzendetektor 10 festgestellt, und sein Signal wird über sein Sync-Pitfenster 50 dem Taktanschluß des Zwischenspeichers 52 zugeführt. Der Zwischenspeicher 52 antwortet auf die ansteigende Flanke des Signals S 23, um die Zustände der 8 Takte, z. B. "1100011" oder "C3" in hexadezimaler Notierung, für die #0 - #7 zu halten. In diesem Beispiel hat die nachaufgezeichnete Pitfolge ihre Phase am nächsten zu der Phase von Takt #1 oder Takt #2. Es wird angenommen, daß die Schaltung so ausgelegt ist, daß der letztere Takt "0" bei dem Übergang von "1" nach "0" in den Zwischenspeicher 52 ausgewählt wird. Die Inhalte des Zwischenspeichers 52 werden dem Dekodierer 53 eingegeben, der "011" entsprechend zu #2 in der Zeitbeziehung nach Fig. 16 erzeugt. Der Ausgang des Dekodierers 53 ist mit dem Auswähler 21 verbunden, der einen Takt mit der Phase #2 auswählt, und dieser Takt S 5 wird für die Demodulation von Daten eingesetzt. Es ist nicht immer für die Takte #0 - #7 notwendig ein Tastverhältnis von 50% zu haben und noch müssen sie gleiche Teilungen der Periode T haben. Zum Beispiel, wenn der Phasenunterschied  $\Delta t$  eine geringere Bereichsweite im Verhältnis zu T hat, kann die Bereichsweite von  $\Delta t$  in geeigneter Weise geteilt werden.

Fig. 17 zeigt eine modifizierte Schaltungsanordnung, abgeleitet von Fig. 15, und Fig. 18 ist ein zugehöriges Zeitdiagramm. Obwohl dieses Beispiel im wesentlichen das gleiche wie das vorhergehende ist, setzt es mehrfache Verzögerungselemente in einer hierarchischen Konfiguration ein, wodurch die Phasenmessung mit einer feineren Auflösung im gesamten Bereich von T ausgeführt werden kann. Der Betrieb wird anhand dieser Figuren beschrieben.

Die Eingangssignale der Schaltung sind das Taktsignal S 4 von dem PLL-System und das Signal S 23, das die Zeit der Spitze von dem nachaufgezeichneten Sync-

Pit angibt, und das Ausgangssignal der Schaltung ist das Signal S 5, das in Abhängigkeit von der Phasenverschiebung der nachaufgezeichneten Pits, wie im Fall von Fig. 15, verzögert worden ist. Das Taktsignal S 4 wird dem Zwischenspeicher 521 zugeführt und einem Verzögerungselement 201, und die Phasenverschiebung wird von dem Signal S 23, wie im Fall von Fig. 15, abgeleitet. Diese Schaltungsanordnung hat z. B. einen Parameter von  $\Delta t = T/4$ , so daß der Zwischenspeicher 521 die Phasenverschiebung mit einer Genauigkeit von je  $T/4$  mißt. Das Verzögerungselement 201 ist ausgelegt, um Verzögerungen in  $\Delta t/2$  Schritten an das Signal S 4 anzulegen, und einander zugeordnete Ausgangssignale werden gepaart um AND-Operationen auszuführen, wobei eines jeder Paare invertiert wird, und die AND-Gatter erzeugen vier Signale S 44 - S 47, die eine Periode von T und eine Pulsbreite von  $\Delta t/2$  haben. Die vier Signale werden von einem ODER-Gatter 6 zusammengefaßt, das dann ein Signal S 48 erzeugt, das eine Periode von  $T/4 = \Delta t$  aufweist. Es wird nämlich ein Signal mit einer vierfachen Frequenz der Eingangsfrequenz durch das Verzögerungselement 201 und die Logikgatter 60 und 61 erzeugt. Nachfolgend wird das Signal S 48 dem Verzögerungselement 202 zugeführt, das einen Parameter von  $\Delta t_2 = \Delta t/4 = T/16$  hat und es erzeugt drei Signale S 51 - S 53. Diese Signale werden von einem Zwischenspeicher 522 als Antwort auf ein Zeitsignal S 23 gehalten, und die Phasenverschiebung wird mit einer  $\Delta t_2$  Genauigkeit in dem Zwischenspeicher 522 gehalten. Dementsprechend, für die Phasenverschiebung von nachaufgezeichneten Vertiefungen, hält der Zwischenspeicher 521 Bits höherer Ordnung und der Zwischenspeicher 522 Bits niedriger Ordnung und beide Register führen zusammen die Phasenverschiebung mit einer  $T/16$  Genauigkeit im gesamten Bereich von T aus. Speziell werden die Ausgangssignale des Zwischenspeichers 521 von einem Dekodierer 531 dekodiert und ein Taktsignal S 211 mit einer Phasenverschiebung zum Abändern in der  $\Delta t_1$  Genauigkeit wird von einem Auswähler 211 ausgewählt, wie im Fall von Fig. 15. Das Signal S 211 wird dem Verzögerungselement 202 zugeführt, das  $\Delta t_2$  Schritte hat. Die Phasenverschiebung mit einer  $\Delta t_2$  Genauigkeit, die in dem Zwischenspeicher 522 gehalten wird, wird von einem Dekodierer 532 dekodiert, und in Abhängigkeit von seinem Ausgangswert wird ein Signal aus vier Signalen S 211 und S 54 - S 56 ausgewählt, die in  $\Delta t_2$  Verzögerungsschritten von dem auf einen  $\Delta t_1$  Niveau modifizierten Takt S 211 abgeleitet werden. Das ausgewählte Signal S 5 ist ein Takt, der eine  $\Delta t_2$  Genauigkeit in seiner Phasenverschiebung hat, der mit einer Genauigkeit von  $T/16$  modifiziert wird. Diese Ausführungsform kann leicht die Meßgenauigkeit durch eine Erhöhung der hierarchischen Niveaus des Verzögerungselements erhöhen und ist auch vorteilhaft für die integrierte Herstellung, wegen der rein digitalen Schaltungskonfiguration.

Es ist nicht immer notwendig für eine optimale Taktwahl alle Bits des Zwischenregisters zu überprüfen, aber es ist ausreichend die Position des Übergangs von nachfolgenden "0" nach "1" (oder umgekehrter Übergang) in den Inhalten der Zwischenspeicher festzustellen. Dementsprechend kann der Dekodierer 53 mit einem gewöhnlich eingesetzten ROM ersetzt werden. In diesem Fall kann eine willkürliche Ausgangssetzung für alle Kombinationen der Zwischenspeicherinhalte gemacht werden und es ist möglich, mit einem Fehler in den Zwischenspeicherinhalten zurechtzukommen. Ein besonderes Merkmal dieses Beispiels ist die Fähigkeit

der Phasenanpassung, unabhängig von dem Modulationsmodus der Information, im Gegensatz zu dem Beispiel nach Fig. 7.

Obwohl die vorhergehenden Beispiele von einem einzelnen nachaufgezeichneten Sync-Pit 54 ausgehen, werden bevorzugterweise mehrfache (n) Sync-Pits wie in Fig. 19 gezeigt, eingesetzt, um die Phasenauswahl n-mal durchzuführen, so daß ein Takt mit der am häufigsten ausgewählten Phase erzeugt wird, wodurch die Zuverlässigkeit weiter erhöht wird.

Weiterhin ist es auch möglich, mehrfache (n) nachaufgezeichnete Sync-Pits zu liefern, und ein Takt mit einer korrekten Phase wird alleine in der Periode von n-Sync-Pits durch die rückgekoppelte Modifikation mit Hilfe des reversiblen Zählers ausgewählt, wie in den Fig. 7, 10, 11 und 12 beschrieben wird.

Obwohl in den vorhergehenden Beispielen das nachaufgezeichnete Sync-Pit am Kopf jedes Sektors plaziert wird, ist es auch möglich, das Sync-Pit am Kopf jedes Segments auf Kosten einer Verminderung der Datenaufzeichnungskapazität zu plazieren.

#### Patentansprüche

1. Verfahren zum Wiedergeben eines Informationssignals von einem Aufzeichnungsmedium (1; 101), auf dem abwechselnd in Spuren eine Vielzahl von ersten Regionen (2), die eine Aufzeichnung von vorformatierten Pits aufweisen, und eine Vielzahl von zweiten Regionen (3) ausgebildet sind, die Datenpits (9) aufweisen, wobei die Datenpits (9) in Synchronismus mit einem ersten Taktsignal (S4) aufgezeichnet worden sind, das aus mindestens einem Teil der vorformatierten Pits abgeleitet worden ist; gekennzeichnet durch folgende Schritte:
  - a) Erzeugen des ersten Taktsignals (S4), welches für den gesamten Wiedergabevorgang als Referenztaktsignal verwendet wird;
  - b) Erzeugen eines zweiten Taktsignals (S5) auf Basis des ersten Taktsignals (S4) und von Datensignalen (S6), die von den Datenpits (9) abgeleitet sind, wobei das zweite Taktsignal (S5) durch ein Verzögern des ersten Taktsignals (S4) gebildet wird und durch Rückkopplung des zweiten Taktsignals (S5) der Phasenunterschied zwischen den Datensignalen (S6) und dem rückgekoppelten zweiten Taktsignal (S5) minimiert wird; und
  - c) Wiedergabe von vorformatierten Signalen, die von den vorformatierten Pits abgeleitet werden, in Synchronismus mit dem ersten Taktsignal (S4) und Wiedergeben der Datensignale (S6) in Synchronismus mit dem zweiten Taktsignal (S5).
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das erste Taktsignal (S4) aus einem Impulssignal (S3) erzeugt wird, das aus den vorformatierten Pits abgeleitet ist.
3. Verfahren nach Anspruch 1 oder 2, in dem aus dem ersten Taktsignal (S4) n Taktfolgen erzeugt werden, die jeweils untereinander um  $\Delta t$  außer Phase sind, und von denen die Taktfolge als zweites Taktsignal (S5) selektiert wird, die der Phase des Datensignals (S6) am besten angepaßt ist, wobei  $\Delta t = T/n$  und T die Periode des ersten Taktsignals ist.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Datensignale (S6) aus Synchron-

Pits (54) abgeleitet sind, die den Datenpits (9) zugeordnet sind.

5. Wiedergabevorrichtung zur Durchführung des Verfahrens nach Anspruch 1, gekennzeichnet durch

- a) eine erste Taktsignal-Generatoreinrichtung (12) zur Erzeugung des ersten Taktsignals (S4), welches für den gesamten Wiedergabevorgang als Referenztaktsignal verwendet wird;
- b) eine zweite Taktsignal-Generatoreinrichtung (200) mit einem Phasenvergleich (36) zur Erzeugung eines zweiten Taktsignals (S5) auf der Basis des ersten Taktsignals (S4) und der Datensignale (S6), die von den Datenpits (9) abgeleitet werden, wobei das erste Taktsignal (S4) mittels einer variabel einstellbaren Verzögerungsschaltung (19) der zweiten Taktsignal-Generatoreinrichtung (200) verzögert wird und mit dem Phasenvergleich (36) die Phase der Datensignale (S6) mit der Phase des rückgekoppelten zweiten Taktsignals (S5) verglichen und der Phasenunterschied minimiert wird; und
- c) eine Wiedergabeeinrichtung (18; 113) zum Wiedergeben von vorformatierten Signalen in Synchronismus mit dem ersten Taktsignal (S4), die von den vorformatierten Pits abgeleitet werden, und zum Wiedergeben der Datensignale (S6) in Synchronismus mit dem zweiten Taktsignal (S5).

6. Wiedergabevorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß die erste Taktsignal-Generatoreinrichtung (12) das erste Taktsignal (S4) aus einem Impulssignal (S3) erzeugt, das von einem Taktpitdetektor (11) aus den vorformatierten Pits detektiert wird.

7. Wiedergabevorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß der Phasenvergleich (36) einen Phasendetektor (22) und einen reversiblen Zähler (25) aufweist.

8. Wiedergabevorrichtung nach Anspruch 5 bis 7, dadurch gekennzeichnet, daß die Verzögerungsschaltung (19) ein Verzögerungselement (20) und einen mit ihm verbundenen Auswähler (21) aufweist, wobei die erste Taktsignal-Generatoreinrichtung (12) das erste Taktsignal (S4) dem Verzögerungselement (20) zuführt und der Auswähler (21) in Antwort auf das Ausgangssignal des Phasenvergleichers (36) das zweite Taktsignal (S5) ausgibt.

9. Wiedergabevorrichtung nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß die Verzögerungsschaltung (19) eine spannungsgesteuerte Verzögerungsschaltung ist.

10. Wiedergabevorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die erste Taktsignal-Generatoreinrichtung (12) ihr Ausgangssignal einem n-Bit-Zähler (31) und einem n-Bit-Zähler (33) zuführt, wobei ein Vergleich (32) das n-Bit-Ausgangssignal des n-Bit-Zählers (31) mit dem n-Bit-Ausgangssignal des reversiblen Zählers (25) vergleicht, und der Vergleich (32), wenn jedes Paar seiner Eingangssignale gleich ist, ein Ausgangssignal ausgibt, das dem n-Bit-Zähler (33), der das zweite Taktsignal (S5) erzeugt, zugeführt wird, wodurch der n-Bit-Zähler (33) dann auf Null gesetzt wird und neu anfängt zu zählen.

Hierzu 18 Seite(n) Zeichnungen

—Leerseite—



FIG. 1

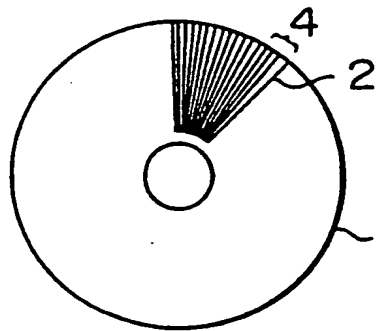


FIG. 2A

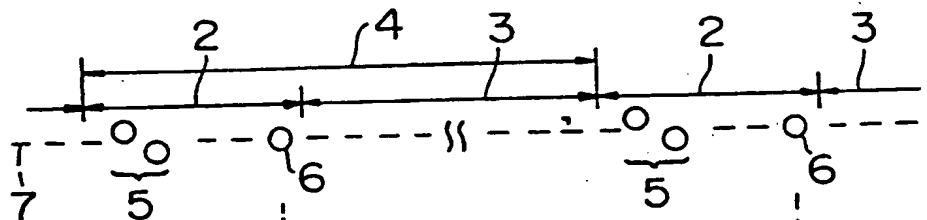


FIG. 2B

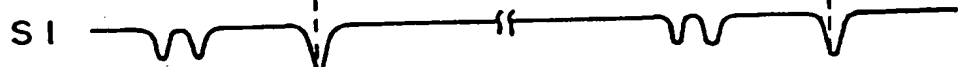


FIG. 2C

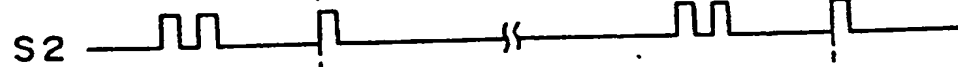


FIG. 2D



FIG. 2E

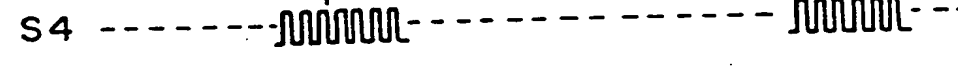
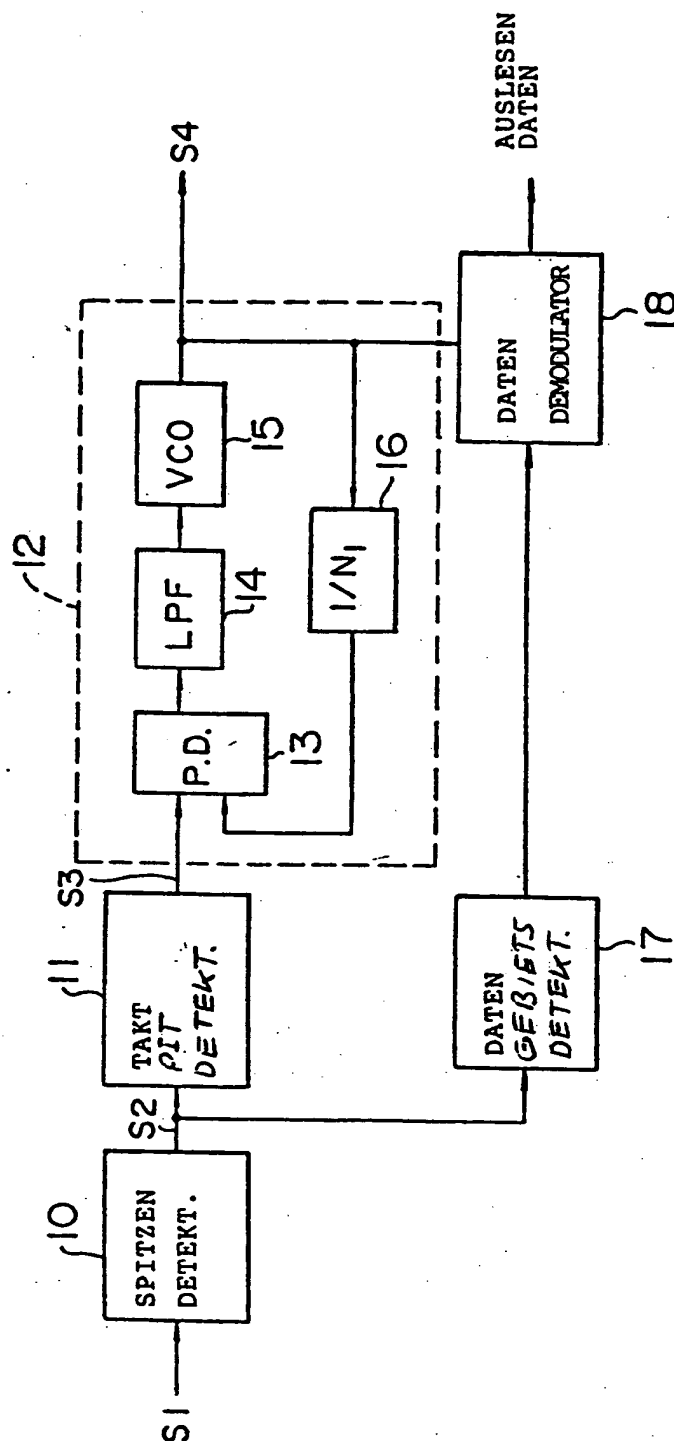


FIG. 3



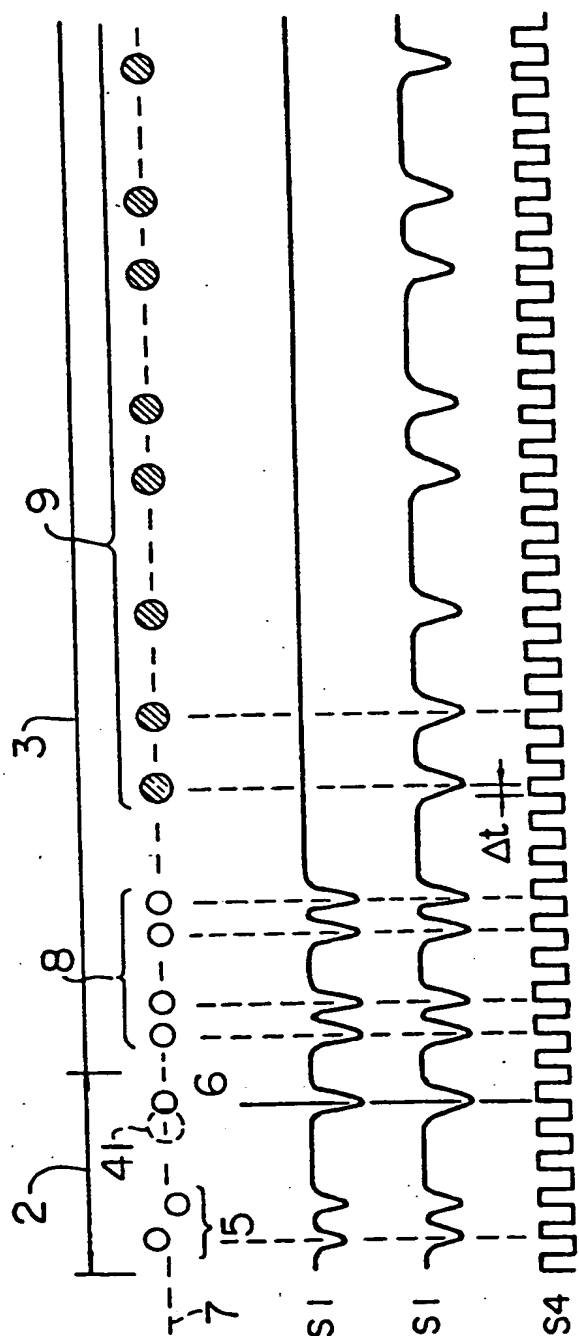


FIG. 4A

FIG. 4B

FIG. 4C

FIG. 4D

FIG. 5

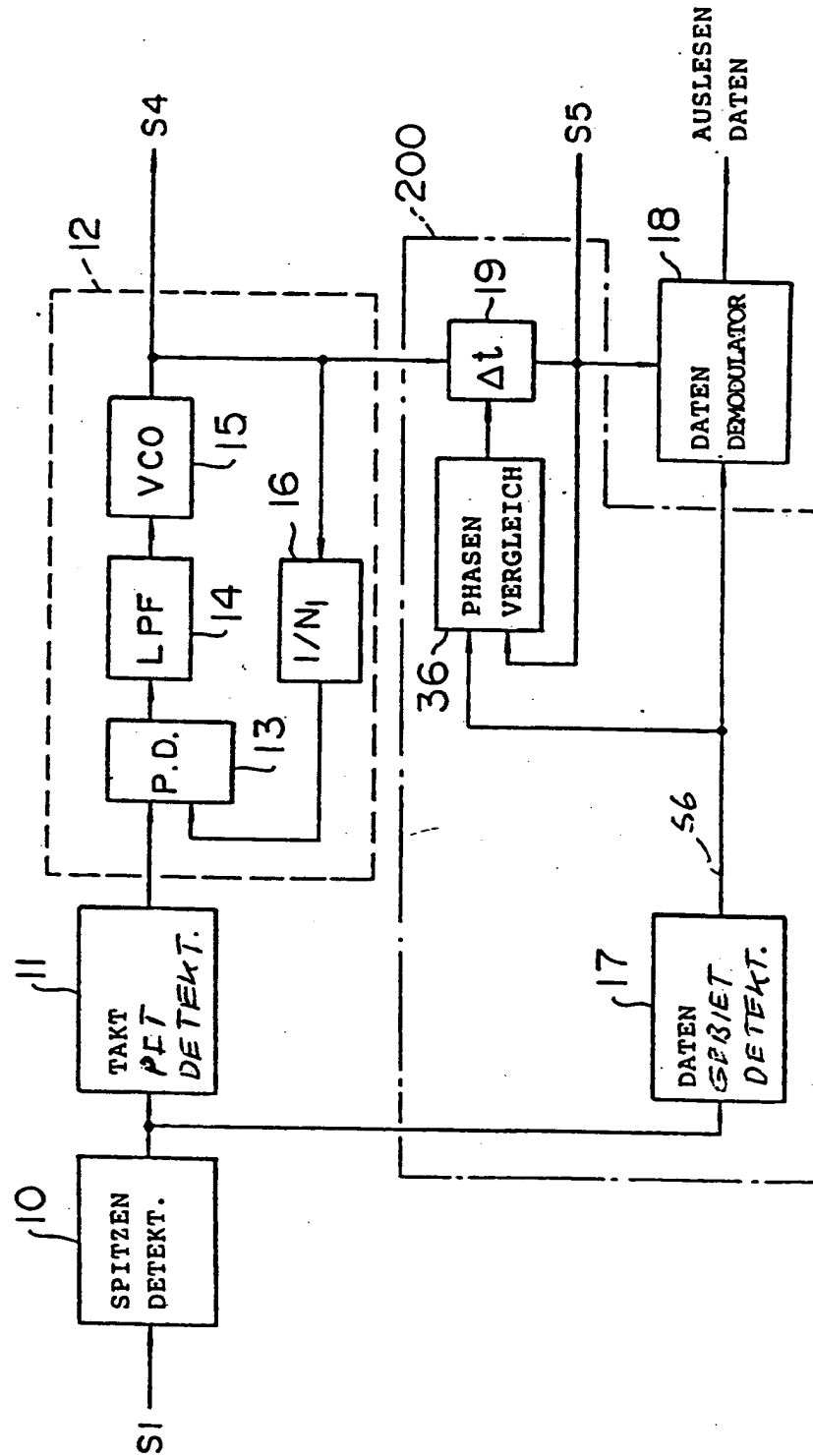






FIG. 8A

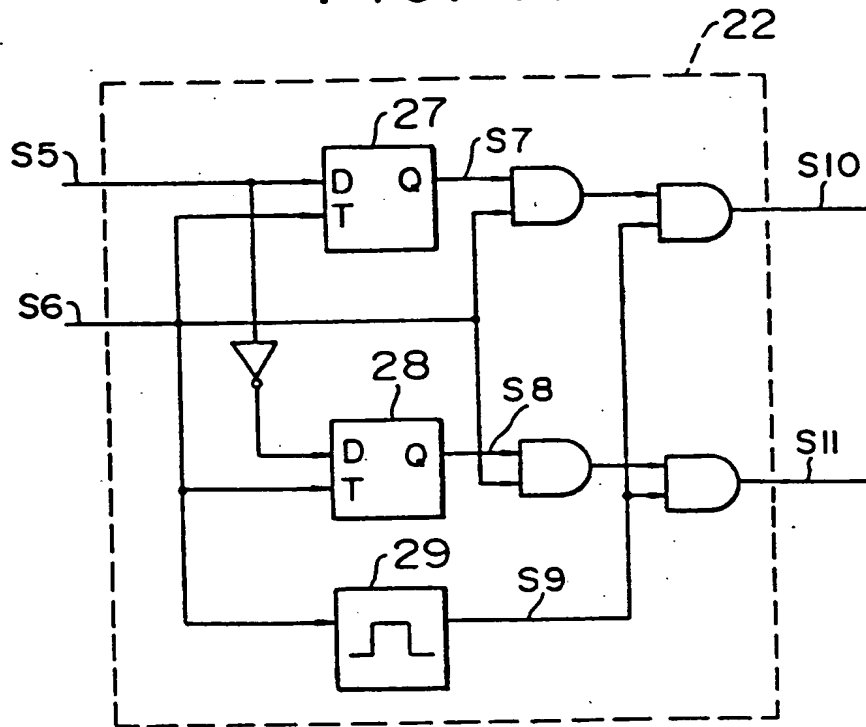


FIG. 8B

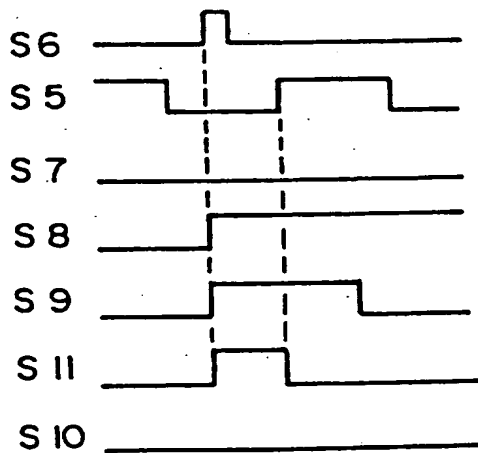


FIG. 8C

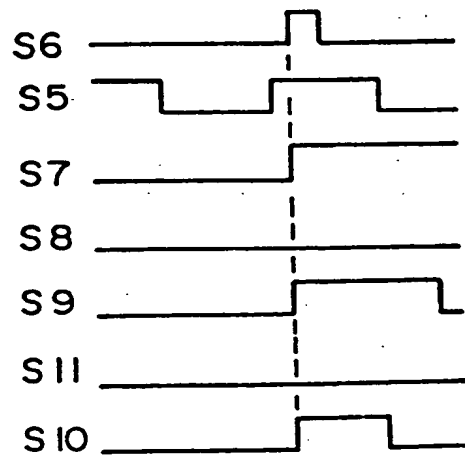


FIG. 9

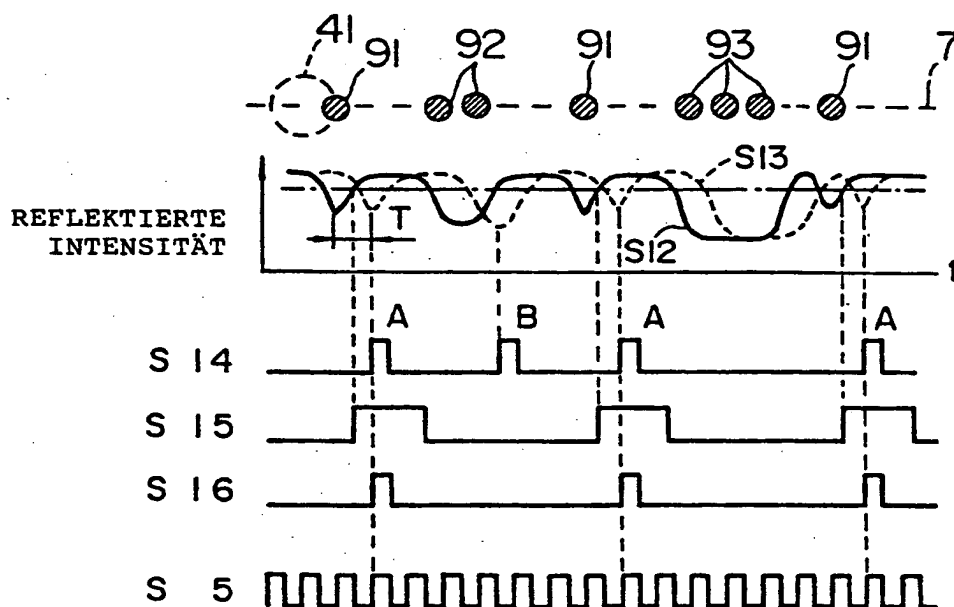








FIG. 12

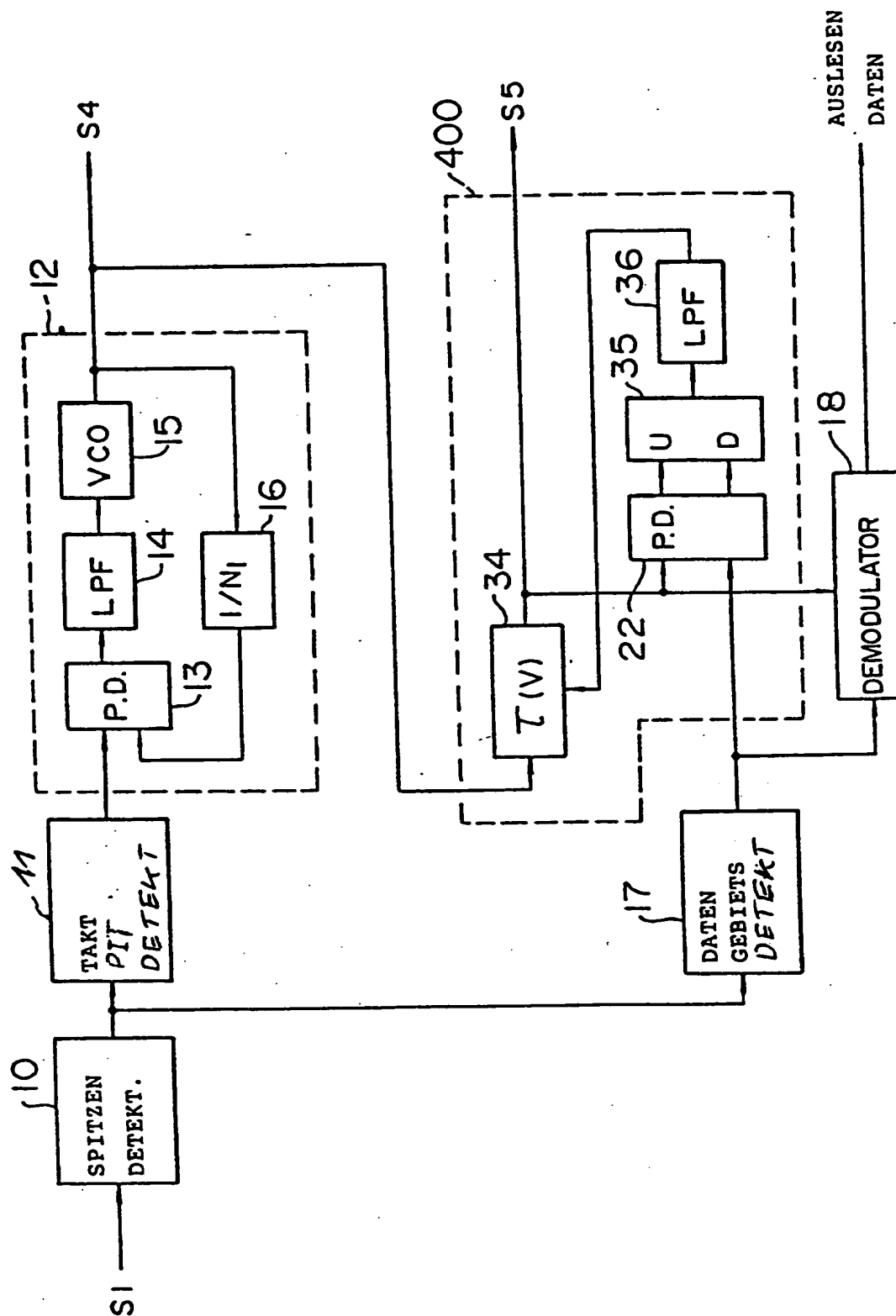
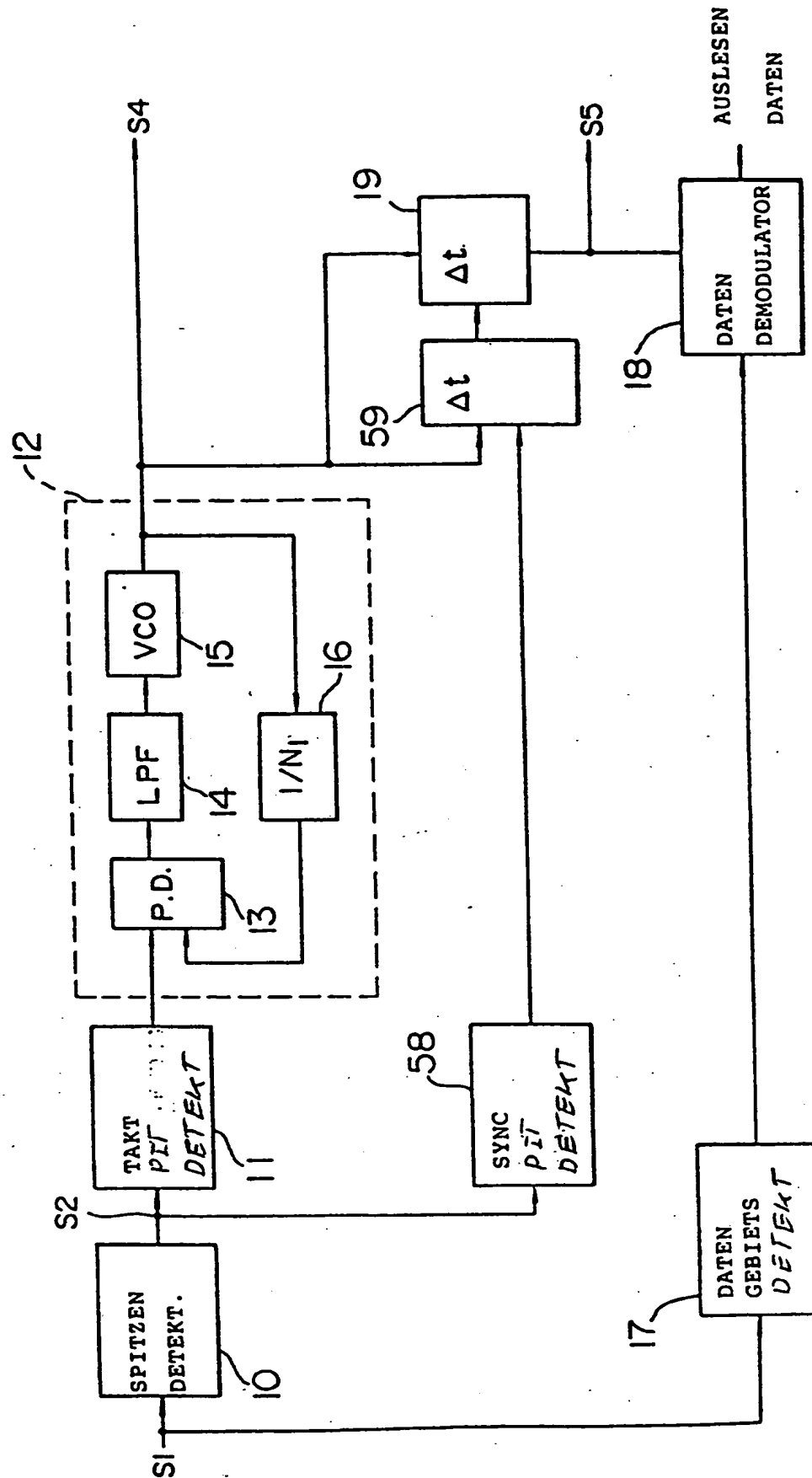




FIG. 14





# FIG. 16

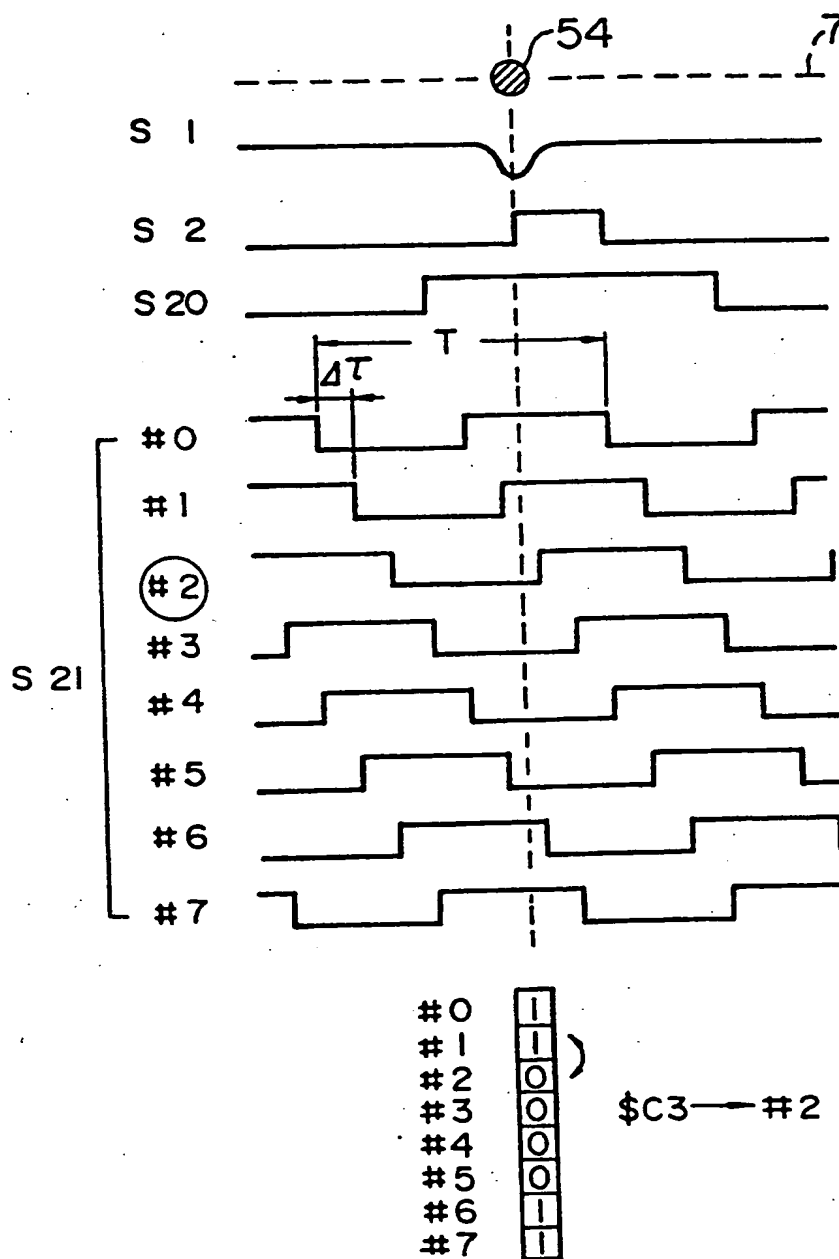
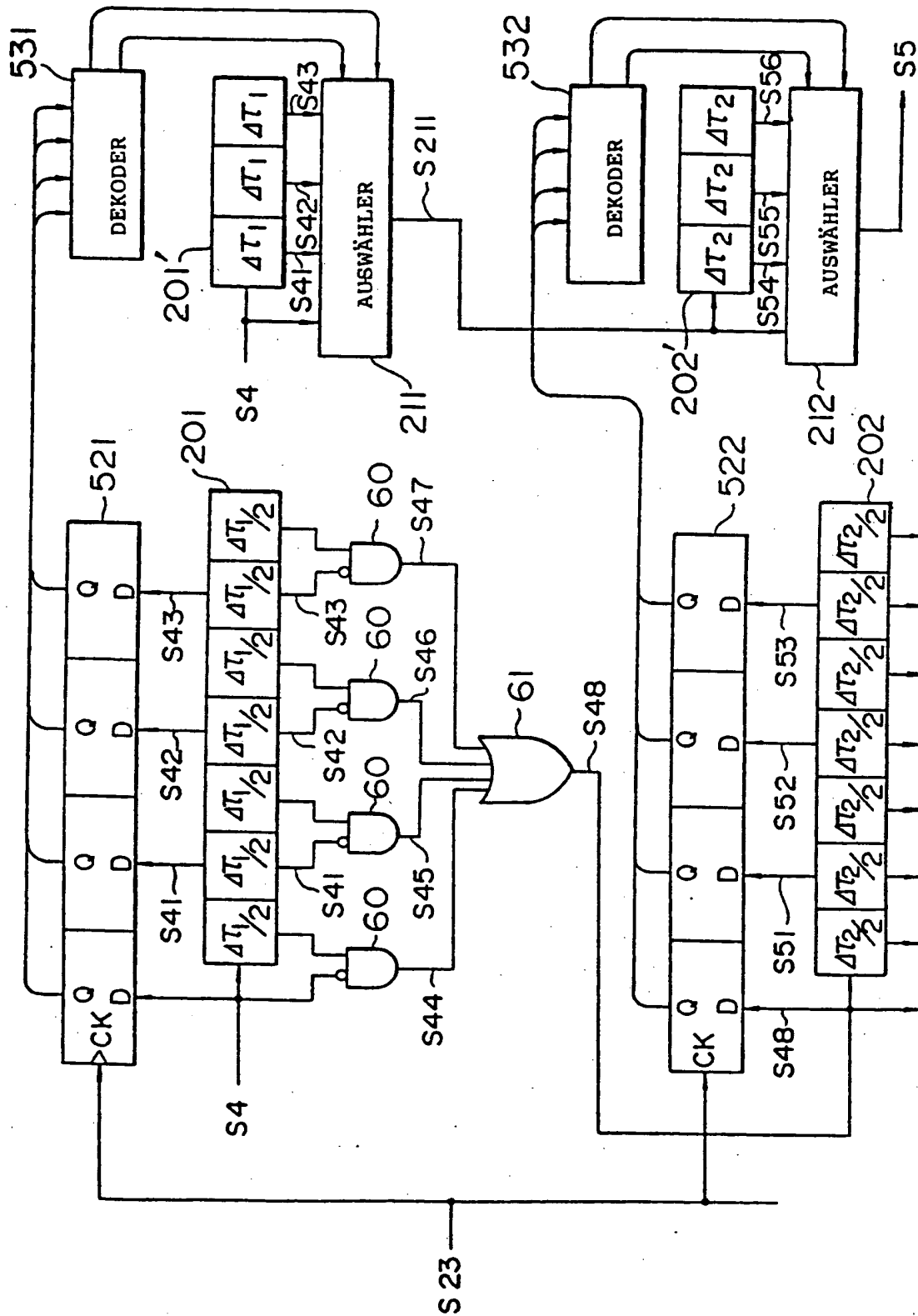


FIG. 17





# FIG. 18

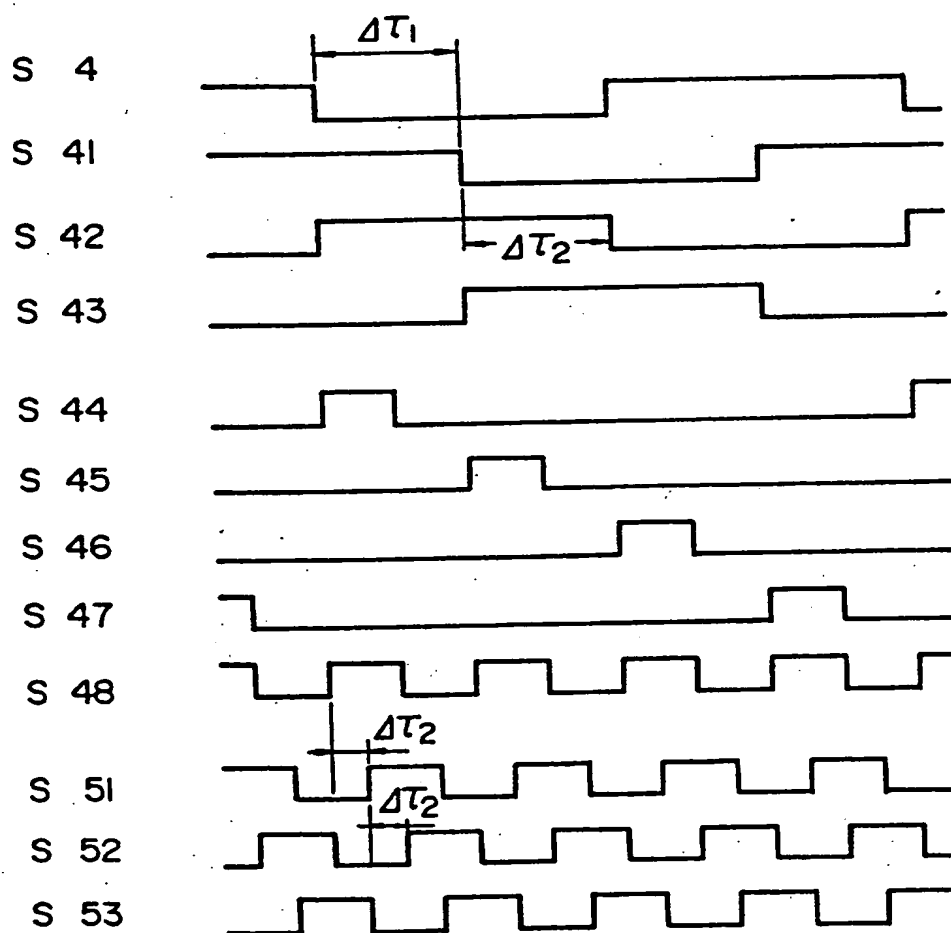
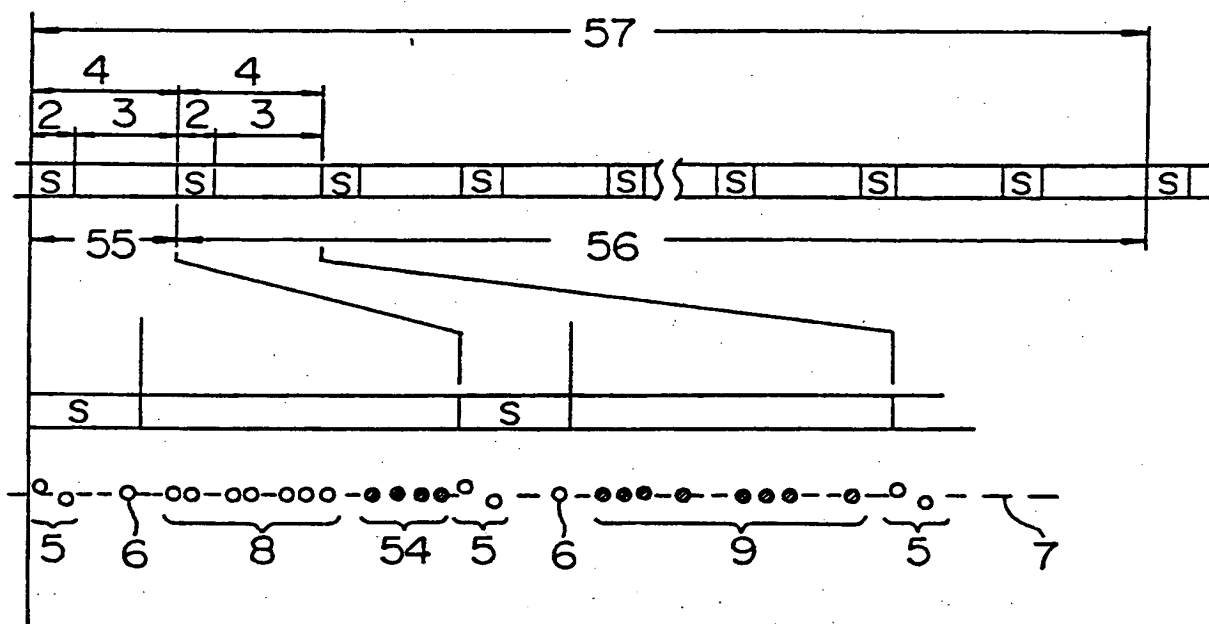


FIG. 19



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

**THIS PAGE BLANK (USPTO)**